

一种 DMOS 漏极背面引出的 BCD 工艺

马 奎, 杨发顺, 林洁馨, 傅兴华

(贵州大学 电子科学系, 贵州 贵阳 550025)

摘 要: 当前 BCD 工艺中所集成的功率器件的电极都是从芯片表面引出, 这会增加芯片面积、引入更多寄生效应、增加高压互连的复杂度。为解决现有 BCD 工艺存在的缺陷, 提出了一种集成有高压 VDMOS 器件, 并将 VDMOS 的漏极从芯片背面引出的 BCD 工艺。仿真得到 VDMOS 的阈值电压为 2.5 V, 击穿电压为 161 V; NPN 管和 PNP 管的 C-E 耐压分别为 47.32 V、32.73 V, β 分别为 39.68、9.8; NMOS 管和 PMOS 管的阈值电压分别为 0.65 V、-1.16 V, D-S 耐压分别为 17.37 V、14.72 V。

关键词: BCD 工艺; VDMOS; 漏极背面引出

中图分类号: TN303

文献标识码: A

文章编号: 1000-7180(2013)10-0093-04

A BCD Technology with Vertical DMOS

MA Kui, YANG Fa-shun, LIN Jie-xin, FU Xing-hua

(Department of Electronics, Guizhou University, Guiyang 550025, China)

Abstract: In current BCD technology, outlets of the circuit are led from top surface of the chip. Therefore, buried layers and sink areas are needed to make good contact and device interconnect. These structures reduce the integration of power chips, and introduce additional resistance and parasitic capacitance, and complicate interconnection especially for high voltage interconnection. In this paper, a new BCD technology was proposed. High voltage VDMOS was integrated in this new technology, and it was designed with the Drain contact on the back. This new technology overcomes the disadvantages of the conventional BCD technology. The simulation results shown that for VDMOS, the threshold voltage is 2.5 V and D-S breakdown voltage is 161 V, for NPN and PNP, C-E breakdown voltage is 47.32 V and 32.73 V, β is 39.68 and 9.8 respectively, for NMOS and PMOS, threshold voltage is 0.65 V and -1.16 V respectively, D-S breakdown voltage is 17.37 V and 14.72 V respectively.

Key words: BCD technology; VDMOS; Drain electrode leads from backside

1 引 言

功率集成电路作为半导体技术领域的一个重要分支, 是功率电子设备的关键部件之一, 是电子信息处理系统与负载模块的基本联系纽带^[1]。随着功率系统对集成化、智能化、低功耗等要求不断提高, 越来越多的功率模块被集成到一块半导体芯片上, 并且需要最大限度地实现集成功率半导体芯片的智能化和低功耗化。这就可以看出, 先进的制造工艺是功

率半导体集成技术的基础。

当前, 功率半导体集成技术的主流是 BCD 工艺。BCD 工艺是将高精度的 Bipolar 模拟电路、高集成度的 CMOS 逻辑电路以及大功率的 DMOS 器件集成在一块芯片上, 提高了功率系统的性能^[2-3]。BCD 工艺可分为高压 BCD、大功率 BCD、VLSI-BCD、RF-BCD 和 SOI-BCD^[4-6], 其应用领域涉及到电子信息系统和电力电子系统的各个方面。由于现有 BCD 工艺中 DMOS 器件的电极几乎都是从芯片

收稿日期: 2012-11-27; **修回日期:** 2013-01-22

基金项目: 贵州省工业公关项目(黔科合 GY 字[2009]3026); 贵州省重点实验室能力建设项目(黔科合计 Z 字[2010]4006); 贵州省科学技术基金项目(黔科合 J 字[2011]2203); 贵州大学自然科学基金(贵大自青基合字[2009]016)

表面引出,使得高压互连和热设计等问题表现得较为突出。

本文提出了一种 DMOS 漏极从芯片背面引出的 BCD 工艺,以重掺杂的衬底区域作为 VDMOS 的漏区,提高了材料的利用率,同时降低了高压互连和热设计的难度。

2 结构及工艺

在当前主流的 BCD 工艺中,集成大功率器件主要是 LDMOS 或 IGBT,即使集成了 VDMOS,其漏极也是通过连接埋层和穿透区从芯片表面引出,主流 BCD 工艺的剖面结构如图 1 所示。从图中可看出,集成的大功率器件是 LDMOS,和 VDMOS 相比,要达到相同的耐压和功率容量,LDMOS 会占用更多的芯片面积,要在较小的芯片面积内实现 LDMOS 器件的高耐压,LDMOS 的漂移区中必须用到 RESURF(Reduced SURface Field,降低表面电场)结构,这会增加功率芯片的设计复杂度和工艺难度。各器件之间通过反偏 PN 结进行隔离,在经过长时间高温过程(如:P_{well} 和 P_{body} 推结等)后,隔离区横向扩散严重,也会占用较多的芯片面积。在应用中,P⁺衬底接“地”电位,和 N⁻外延层形成纵向的反偏隔离 PN 结,这一重掺杂区域不参与高压互连,从芯片表面引出的高压互连难度较大。

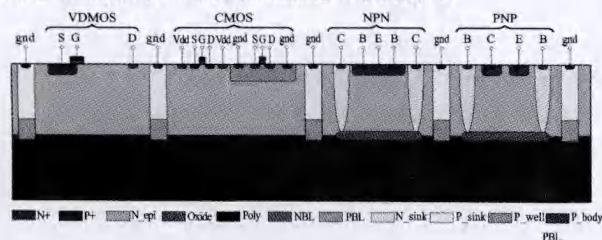


图 1 主流 BCD 工艺剖面结构图

为改善主流 BCD 工艺中存在的不足之处,本文基于多次外延多次掺杂工艺提出了一种新型的 BCD 工艺技术,其剖面结构如图 2 所示。这种工艺中基底材料为半绝缘结构,VDMOS 对应区域的 N⁻型外延层和 N⁺衬底是连通的,而在各种低压器件对应区域中,在 N⁻层中夹有一层 P⁻层,P⁻夹层通过 PBL 和 P_{sink} 组成的体引出结构后在芯片表面被偏置在“地”电位上,确保了低压器件在纵向上和衬底之间的电绝缘。这种半绝缘结构可通过在 N⁺衬底材料上进行三次 N⁻外延和选择性的两次 P⁻掺杂来实现。如需改变功率芯片的耐压,可根据需要选择在 N⁺衬底上进行 n 次 N⁻外延和选择性的 $n-1$ 次 P⁻掺杂来得到满足需要的半绝缘结构。

由于在 VDMOS 对应区域的 N⁻外延层和 N⁺衬底是连通的,VDMOS 的漏极从芯片背面引出,有效利用了大面积的衬底材料,提高了芯片的功率密度,降低了高压互连的复杂度。各器件的横向之间通过挖槽后回填“二氧化硅+非掺杂多晶硅”实现介质隔离,在降低隔离结构的漏电流的同时,提高了功率芯片的集成度。另外,由于在相同耐压及功率容量条件下,VDMOS 所占芯片面积比 LDMOS 小,所以 VDMOS 的寄生电容相对比 LDMOS 的小,降低了功率器件的开关损耗,提高了开关速度。各器件的横向之间采用介质隔离后,大大减少了由反偏 PN 结引入的势垒电容,提高了整个芯片的工作频率。

在这种新型的 BCD 工艺中,集成的其他器件还有齐纳二极管、E-B 结和 C-B 结二极管、扩散电阻及多晶硅电阻、MOS 电容等,也可以集成 N(或 P)沟道的 LDMOS 器件、IGBT。

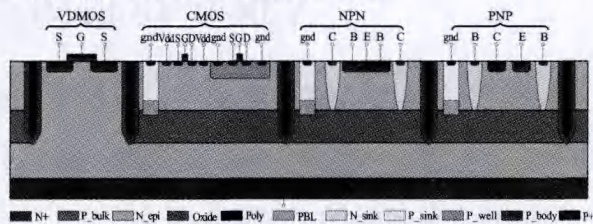


图 2 本文提出的 BCD 工艺剖面结构图

3 仿真分析

本文在 Silvaco 平台下就一种实际实施的工艺参数进行了仿真分析,主要工艺参数如下:衬底是电阻率为 $0.002 \sim 0.004 \Omega \cdot \text{cm}$ 的 N<100>掺砷硅片,外延温度为 1150°C ,三次 N⁻外延的厚度分别为 $20 \mu\text{m}$ 、 $5 \mu\text{m}$ 、 $11 \mu\text{m}$,外延浓度为 2.5×10^{15} ,槽区的光刻宽度为 $1.6 \mu\text{m}$ 。高、低压器件各有源区域的工艺参数和结构参数与主流 BCD 工艺中的相当。

该 BCD 工艺中的隔离结构如图 3 所示。图中区域 I 和区域 II 都是 N⁻外延层,VDMOS 器件制作在区域 I 中,低压器件制作在区域 II 中。P_{sink} 和 PBL 形成的体引出结构将 P_{bulk} 偏置在“地”电位,形成纵向上的反偏 PN 结隔离。各隔离岛的横向之间通过 Trench(介质槽)进行隔离。各部分隔离结构的耐压必须要高于各类器件的最高击穿电压,才能保证功率集成电路各功能模块正常工作。VDMOS 漏-源击穿电压设计在 150 V 左右,则要求图 3 中 Trench 以及纵向上 P_{bulk} 和 N⁻层形成的 PN 结的耐压都要高于 150 V 。图 4 中给出了隔离结构各部分耐压仿真结果,对于横向隔离结构,击穿首

先在 Trench 底部发生,这一区域的耐压为 170 V. 对于纵向隔离结构,击穿首先在 PBL 区域对应的纵向 PN 结处发生,这一结的反向耐压为 191 V. 可看出该结构中各部分隔离的耐压均高于 VDMOS 的漏-源击穿电压.

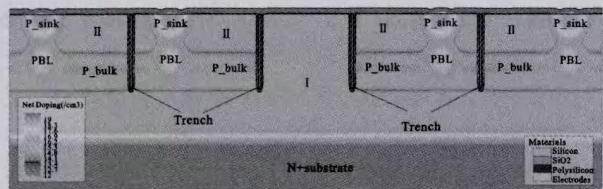


图 3 本文提出的 BCD 工艺中隔离结构剖面图

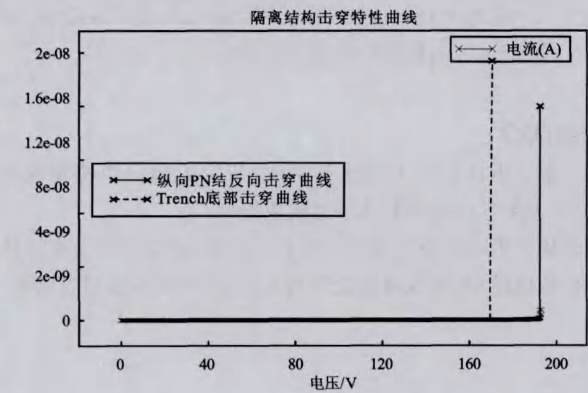


图 4 隔离结构击穿特性曲线

可集成的大功率器件是 BCD 工艺技术的核心. 在本文提出的 BCD 工艺中,所集成的 N 沟道 VDMOS 器件原胞如图 5 所示,从图中可看出,这个原胞结构和 VDMOS 分立器件的相一致,重掺杂的 N+衬底作为 VDMOS 的漏区,实现了漏极从芯片背面引出. 仿真得到该 VDMOS 的阈值电压为 2.5 V, D-S 击穿电压为 161 V, D-S 击穿特性曲线见图 6.

集成的低压器件在纵向上靠 P_bulk 和 N+外延层形成的反偏 PN 结隔离,在横向上由挖槽后回填的介质实现隔离,隔离结构的击穿电压远高于器件本身的击穿电压,满足应用需求. 各类低压器件的仿真结果汇总于表 1 中.

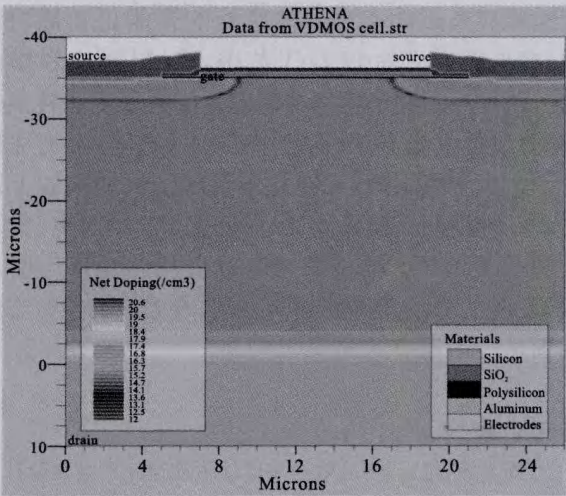


图 5 VDMOS 原胞剖面图

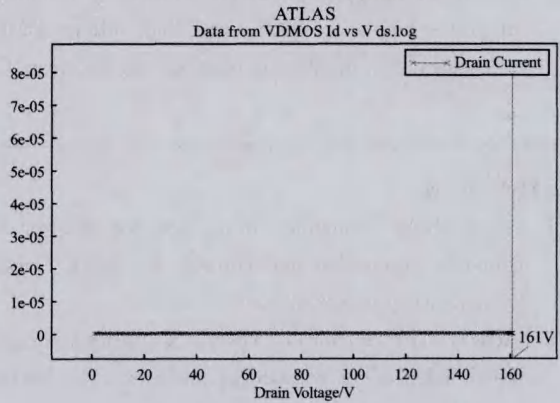


图 6 VDMOS 击穿特性曲线

表 1 低压器件仿真结果汇总表

器件类型		参 数		
MOS		阈值电压/V	D-S 击穿电压/V	
	NMOS	0.65	17.37	
	PMOS	-1.16	-14.72	
BJT		β	B-E 开启电压/V	C-E 击穿电压/V
	NPN	39.68	0.838	47.32
	PNP	9.8	-0.865	32.73
二极管		正向开启电压	反向击穿电压/V	反向漏电流/A
	E-B 结二极管	0.82	10.337 9	1.0319e-09
	C-B 结二极管	0.699	118.875	1.18759e-08
	N+/P-well	0.794	13.375	1.32241e-09
	齐纳二极管	0.75	5.44	5.3805e-10
无源器件		方块电阻	击穿电压/V	
	NSD 电阻	19.802 4	25.2	
	PSD 电阻	28.671 6	63.5	
		单位面积电容(F/cm²)	击穿电压/V	
	MOS 电容	1.046×10 ⁻⁷	23.8	

注:1、测 B-E 结开启电压时开启电流为 10 μ A;2、测二极管正向开启电压时正向电流为 10 μ A.

4 结束语

随着功率系统对集成化、智能化和低功耗化等方面要求的提高,需要从集成技术以及功率器件结构等方面对功率集成电路进行改进和完善,最大限度地实现集成功率半导体芯片的智能化和低功耗化.在当前主流的 BCD 工艺中,PN 结隔离和横向功率器件都不利于提高功率芯片的集成度和转换效率.为改善主流 BCD 工艺中存在的缺陷,本文提出了一个半绝缘结构,并在此半绝缘结构的基础上设计了一种横向介质隔离、纵向反偏 PN 结隔离、集成大功率 VDMOS 器件并将其漏极从芯片背面引出的 BCD 工艺,从仿真结果可看出该工艺中各类器件均满足实用要求.

参考文献:

- [1] 周志敏,纪爱华. 高效功率器件驱动与保护电路设计及应用实例[M]. 北京:人民邮电出版社,2009.
- [2] Krishna S, James K, Gaeta I S. An analog technology integrates bipolar, CMOS, and high-voltage DMOS transistors[J]. IEEE Transactions on Electron De-

vices, 1984, 31(1): 89-95.

- [3] Andreina A, Contiero C, Galbiati P. A new integrated silicon gate technology combining bipolar linear, CMOS logic, and DMOS power parts [J]. IEEE Transactions on Electron Devices, 1986, 33 (12): 2025-2030.
- [4] 杨银堂,朱海刚. BCD 集成电路技术的研究与进展[J]. 微电子学, 2006, 36(3): 315-319.
- [5] 蒋红利,朱玮,李影,等. 600V 高低压兼容 BCD 工艺及驱动电路设计[J]. 微电子学, 2010, 40(1): 126-131.
- [6] Venturato M, Cantone G, Ronchi F, et al. A novel 0.35 μ m 800V BCD technology platform for Offline Applications[C]//Proceedings of the 2012 24th International Symposium on Power Semiconductor Devices and ICs. [s. l.]: IEEE, 2012: 397-400.

作者简介:

马 奎 男, (1985-), 博士研究生. 研究方向为模拟集成电路、功率半导体器件和功率集成电路.

傅兴华 男, (1948-), 教授、博士生导师. 研究方向为半导体器件数值模型、集成电路设计与工艺、超导材料及其应用等.

(上接第 92 页)

- [3] Passino K M. Biomimicry of bacterial foraging for distributed optimization and control [J]. IEEE Control Systems Magazine, 2002(22): 52-67.
- [4] Acharya D P, Panda G, Mishra S. Bacteria foraging based independent component analysis [C]//International Conference on Computational Intelligence and Multimedia Application. Los Alamitos: IEEE Press, 2007: 527-531.
- [5] 胡洁. 细菌觅食优化算法的改进及应用研究[D]. 武汉: 武汉理工大学, 2012.
- [6] Kolisch R. Serial and parallel resource-constrained

project scheduling methods revisited: Theory and computation [J]. European Journal of Operational Research, 1996, 90(2): 320-333.

作者简介:

岑雪婷 女, (1988-), 硕士研究生. 研究方向为项目进度计划管理、项目调度等.

唐智勇 男, (1968-), 工程师. 研究方向为项目和项目组合管理、产品研发管理等.

杨 勇 男, (1975-), 工程师. 研究方向为网络计划、 workflow 技术、项目管理等.